

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-333119
 (43)Date of publication of application : 20.11.1992

(51)Int.CI. G06F 1/26
 G06F 1/32
 G06F 1/04
 G06F 15/16

(21)Application number : 03-104361

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 09.05.1991

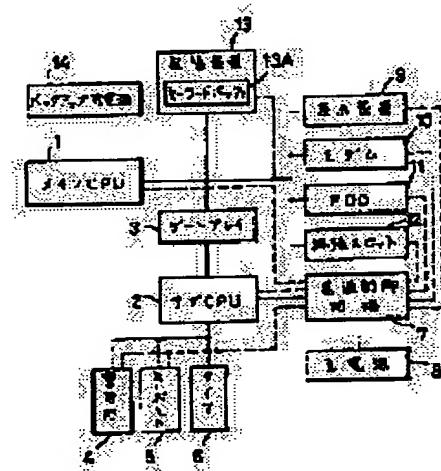
(72)Inventor : OTSUKI TETSUJI

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To reduce the power consumption of an information processor without reducing the total processing speed by providing a sub-CPU on an information processor in order to perform the reasonable processing and the control of a power supply in a short cycle.

CONSTITUTION: The sub-CPU 2 can work at a low speed, at a low level of voltage and with the low power consumption. Then the sub-CPU 2 monitors the input of a keyboard 5, counts a timer 6, and performs the monitoring and the control of a power control circuit 7. Meanwhile a main CPU 1 is kept in a stop mode for reducing the power consumption during a key input mode. Furthermore the power supplies of the non-working devices are individually turned off among those input/output devices including a display device 9, a MODEM 10, an FDD 11, an extension slot 12, etc. Thus the power consumption of an information processor can be reduced without reducing the processing speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(51)Int.Cl.¹

G 06 F 1/26

1/32

1/04

識別記号 庁内整理番号

3 0 1 C 7368-5B
7832-5B
7832-5B

F I

技術表示箇所

G 06 F 1/00

3 3 4 G

3 3 2 Z

審査請求 未請求 請求項の数3(全7頁) 最終頁に続く

(21)出願番号

特願平3-104361

(22)出願日

平成3年(1991)5月9日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 大根 哲司

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

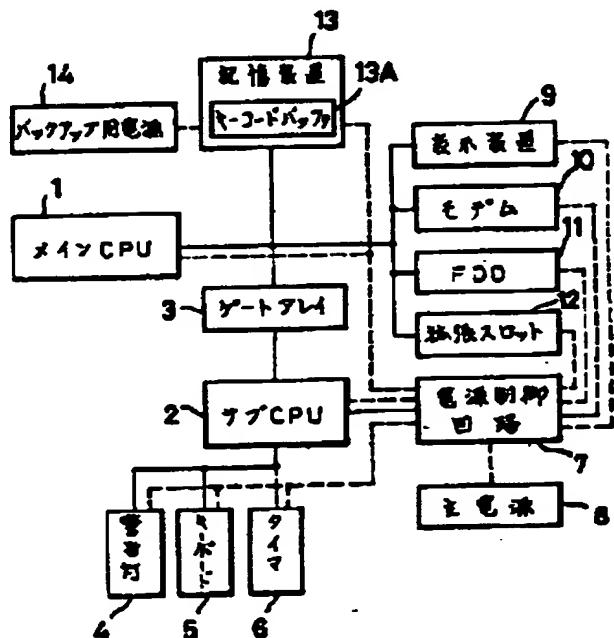
(74)代理人 弁理士 武田 元敏 (外1名)

(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】 情報処理装置にサブCPUを設け、サブCPUに低周期で差支えない処理および電源の制御を行わせることにより、全体の処理速度を低下させることなく情報処理装置の消費電力を低減する。

【構成】 低速動作、低電圧駆動、低消費電力型のサブCPU2を設け、このサブCPU2にキーボード5の入力監視、タイマ6のカウント、電源制御回路7の監視および制御を行わせ、キー入力待ちの間、メインCPU1を消費電力の少ない停止モードにし、さらに、表示装置9、モデム10、FDD11、拡張スロット12等の入出力装置で、使用していない装置の電源を別個にオフすることにより、情報処理装置の処理速度を低下させることなく、消費電力を低減する。



【特許請求の範囲】

【請求項1】 高速動作可能なメインCPUと、低速動作、低電圧駆動、低消費電力型のサブCPUと、プログラムおよびデータを格納する記憶装置と、キーボード、表示装置などの入出力装置と、電源制御回路とを有し、キー入力監視、タイマカウント、電源監視などの低周期で必要となる処理を前記サブCPUによって行わせることを特徴とする情報処理装置。

【請求項2】 キー入力監視をサブCPUに行わせ、キー入力待ちの間、メインCPUを消費電力の少ない停止モードにすることを特徴とする請求項1記載の情報処理装置。

【請求項3】 キー入力監視をサブCPUに行わせ、使用しない入出力装置毎の電源をオフにすることを特徴とする請求項1記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、携帯端末機や携帯型パソコンなどの電池駆動型の情報処理装置に関する。

【0002】

【従来の技術】 従来、この種の情報処理装置において、1つのCPUでアプリケーションプログラムの実行、通信処理、キーボードの入力の監視、タイマのカウント、電源の監視および制御などのすべての処理を行っていた。また、電源がオンの状態においては、メインCPUを常時消費電力の大きな動作モードにしており、しかも使用していない入出力装置にも電源を供給しなければならない構成となっていた。

【0003】

【発明が解決しようとする課題】 上述したように従来の情報処理装置では、メインCPUが処理のすべてを行うため、アプリケーションプログラム等のプログラム実行時も、キー入力の監視、タイマのカウントや電源電圧の監視といった低周期で必要となる処理も行わなければならず、例えば10ミリセカンド毎に、プログラムの実行を一時中断して、各処理を行わなければならなかった。

【0004】 また、キー入力待ちの間も消費電力の大きなメインCPUを稼動しなければならず、特に、データ入力処理が中心となる携帯型情報処理装置においては、消費電力に大きな無駄が生じていた。

【0005】 また、情報処理装置本体の電源をオンにすると、装置内の全入出力装置に電源を供給するようになっており、使用していない入出力装置にも電源を供給しなければならないという電力の無駄があった。例えば、モ뎀により長時間の通信を行っている場合でも、表示装置、フロッピーディスクドライブ(以下、FDDという)、拡張スロットに接続されている回路やその他すべての入出力装置に電源を供給しなければならなかった。

【0006】 本発明は、上記従来の問題点を解決するも

ので、低速動作、低電圧駆動、低消費電力型のサブCPUを設け、サブCPUに低周期で必要となる処理を行わせることにより、メインCPUの負荷を低減させ、また、キー入力監視をサブCPUに行わせることにより、キー入力待ちの間メインCPUを停止モードにし、かつ、入出力装置を装置毎に電源をオン、オフできるようにし、使用しない装置の電源をオフすることにより、装置全体の消費電力を低減し、電池での連続動作時間が長く、しかも処理速度の速い情報処理装置を提供することを目的としている。

【0007】

【課題を解決するための手段】 本発明は、高速動作可能なメインCPUと、低速動作、低電圧駆動、低消費電力型のサブCPUと、プログラムおよびデータを格納する記憶装置と、キーボード、表示装置などの入出力装置と、電源制御回路とを有し、キー入力監視、タイマカウント、電源監視などの低周期で必要となる処理を前記サブCPUによって行わせることを特徴とする。

【0008】 また、キー入力監視をサブCPUに行わせ、キー入力待ちの間、メインCPUを消費電力の少ない停止モードにし、かつ使用しない入出力装置毎の電源をオフにする。

【0009】

【作用】 本発明によれば、高速動作可能なメインCPUと、低速動作、低電圧駆動、低消費電力型のサブCPUを設け、キー入力監視をサブCPUに行わせ、キー入力待ちの間、メインCPUを消費電力の少ない停止モードにし、低周期で必要となる処理をサブCPUに行わせ、高速が必要となる処理をメインCPUに行わせて、処理に応じて分担CPUを定め、全体として処理速度を低下させることなく消費電力を低減することができ、また、電源を入出力装置毎にオン、オフすることにより、より一層の消費電力を低減できるようにした。

【0010】

【実施例】 (ア) 第1の実施例
以下に、本発明の第1の実施例について図面を用いて説明する。図1は、第1、第2及び第3の各本実施例の構成を示すブロック図である。図において、1はメインCPUであり、該メインCPUを高速に動作させる動作モードと消費電力の極めて少ない停止モードとをとることができ。ここで停止モードとは、クロックの発振は停止しているが、レジスタの内容が保持されており、すぐに動作モードへ移れる状態のことであり、例えば動作モードにおける消費電流が100ミリアンペア程度であるのに対して、停止モードにおける消費電流は数百マイクロアンペア程度と極めて少ない。

【0011】 2は低速動作、低電圧駆動、低消費電力型のサブCPUであり、ゲートアレイ3を介してメインCPU1と接続されている。このサブCPU2の消費電流は、例えばミリアンペア程度とメインCPU1の動作モ

ードと比べて、大変少ない。また、サブCPU2は、警告灯4、キーボード5、タイマ6、および電源制御回路7と接続されており、キー入力の監視、タイマカウント、電源の監視および制御を行っている。また、異常があれば、警告灯4を点灯する。また、電源制御回路7は、主電流8と接続されており、装置内に電力を供給するが、表示装置9、モデム10、FDD11、拡張スロット12は、それぞれ別個に電源をオン、オフすることができる。

【0012】また、主記憶装置13にはスタティックRAMを使用しており、バックアップ用電源14が接続されており、電源が切断されても内容が保持されている。また、記憶装置13内には、キーコードバッファ13Aがあり、押下されたキーコードが格納されている。

【0013】なお、図の連絡線の実線はメインCPU1の動作モード、破線はサブCPU2の動作モードの時の電流の流れを示す。

【0014】次に、本実施例の動作について、図2のフローチャートを用いて説明する。この図2は、本実施例における電源投入時の動作を示すフローチャートである。

【0015】主電源8が投入されると、まず、サブCPU2が起動される(S₁)。この状態においては、電源制御回路7によって、サブCPU2にのみ電源が供給されており、メインCPU1や他の回路には電源が供給されていない。

【0016】次に、サブCPU2は自身の自己診断および電源電圧のチェックを行う(S₂)。チェックした結果が異常であれば(S₂のYes)、警告を出して(S₃)電源供給を停止する(S₄)。チェックの結果が正常(S₂のNO)であれば、電源制御回路7へ装置内の各回路の電源オンの指示を出し、また、メインCPU1の起動を指示する(S₅)。

【0017】サブCPU2はその後、キー入力監視(S₆)、タイマカウント(S₇)、電源監視(S₈)といった定常処理を、例えば、10ミリセカンド程度の短い周期で繰り返し行う。

【0018】メインCPU1が起動すると(S₁₀)、メインCPU1は自己診断および装置内の各回路の初期化および診断を行う(S₁₁)。診断結果が異常であれば(S₁₂のYes)、サブCPU2に対して停止要求を出す(S₁₃)。電源切断時の処理動作については、図4のフローチャートの説明時に述べる。

【0019】また、メインCPU1による診断結果が正常(S₁₂のNO)であれば、レジューム機能がオンかオフかのチェックを行う(S₁₄)。ここで、レジューム機能とは、電源オン時に、前回の電源切換時の状態から継続して処理を行うことができる機能である。

【0020】本実施例においては、記憶装置13の内容がバックアップ用電源14により保持されており、レジュー

ム機能がオンであれば、電源投入後再び電源切換時の状態から継続して処理を行うことができる。レジューム機能がオンならば、電源切換時に記憶装置13に待避しておいたレジスタの内容を復帰し(S₁₅)、電源切換時の状態からプログラムを継続して実行する(S₁₆)。レジューム機能がオフ(S₁₅のNO)であれば、システムを初期化し、起動し直す(S₁₇)。

【0021】次に、図3のフローチャートを用いて、通常のプログラム実行時におけるメインCPU1およびサブCPU2の動作について説明する。メインCPU1において、アプリケーションプログラム等のプログラムを実行している場合でも(S₁₈)、サブCPU2は例えば10ミリセカンド程度の短い周期で、キー入力監視(S₁₉)、タイマカウント(S₂₀)および電源監視(S₂₁)を行っている。

【0022】サブCPU2がキー入力がありと判断した場合は(S₂₂のYes)、メインCPU1に対してキーコード転送の割り込みをかける(S₂₃)。メインCPU1は、それまで実行していたプログラムを一時中断して、サブCPU2からキーコードを受け取り、記憶装置13内のキーコードバッファ13Aへ格納する(S₂₄)。

【0023】また、タイマカウント(S₂₅)によりあらかじめ設定された時間に達した場合は(S₂₅のYes)、メインCPU1にタイムアウトの割り込みをかける(S₂₆)。メインCPU1は、あらかじめ登録されていた処理を行う(S₂₇)。電源監視(S₂₈)の結果、電源に異常があれば(S₂₈のYes)、メインCPU1に対して終了通知を行う(S₂₉)。

【0024】電源切換時の処理動作について、図4のフローチャートで述べる。電源に異常がなければ、一定の周期で、以上の処理を繰り返し行う。メインCPU1は、サブCPU2からの割り込み処理終了後、プログラムを継続して実行する(S₃₀)。

【0025】次に図4のフローチャートを用いて、本実施例における電源切換時の処理動作について説明する。図4において、メインCPU1がプログラムを実行している間(S₃₁)においても、サブCPU2はキー入力監視(S₃₂)、タイマカウント(S₃₃)、電源監視(S₃₄)といった処理を繰り返し行っている。

【0026】ここで電源監視(S₃₄)の結果、電源スイッチが押下された場合または電源電圧が規定の電圧よりも低下した場合は(S₃₅のYes)、メインCPU1に対して終了通知を出す(S₃₆)。

【0027】そして、メインCPU1はこの終了通知を受け取ると、プログラムの実行を中断し、画面表示の禁止(S₃₇)、割込みマスク(S₃₈)、レジスタの待避(S₃₉)、記憶装置13のライトプロテクト(S₄₀)といった一連の終了処理を行う。

【0028】この電源オフの準備ができると、サブCPU2に対して電源オフ要求を行う(S₄₁)。サブCPU2

は、メインCPU1からの電源オフ要求があれば(S₁₁)、電源制御回路7へ装置内の全回路の電源オフを指示する(S₁₂)。

【0029】以上のように、本実施例においては、キー入力監視、タイマカウントおよび電源監視および制御といった低周期で必要となる処理をサブCPU2に行わせることにより、メインCPU1の負荷を低減することができる。

【0030】(イ) 第2の実施例

次に、第2の実施例の動作について図1および図5を用いて説明する。各装置の動作は第1の実施例と同じである。

【0031】図5は、キー入力時におけるメインCPU1およびサブCPU2の動作を示すフローチャートである。プログラム実行中に(S₁₁)、キー入力の要求が行われると、メインCPU1は記憶装置13内のキーコードバッファ13Aにキーコードが格納されているかどうかを調べる(S₁₂)。

【0032】キーコードバッファ13Aにキーコードが格納されている場合には(S₁₃のYes)、キーコードバッファ13Aからキーコードを取り出し(S₁₄)、プログラムを継続して実行する(S₁₅)。キーコードバッファ13A内にキーコードがない場合は(S₁₃のNO)、メインCPU1自身を消費電力の極めて少ない停止モードにし、サブCPU2からの割り込みを待つ(S₁₆)。

【0033】サブCPU2は周期的にキー入力を監視しており(S₁₂)、キー入力があれば(S₁₃のYes)、メインCPU1に対してキーコード転送の割り込みをかける(S₁₄)。

【0034】前記図3においては、キーコードの転送によりメインCPU1が起動されるようになっているが、割り込み要因は他にも考えられるため、メインCPU1は、割り込みによる起動後(S₁₅)、割り込み要因がキーコードの転送によるものかどうかを調べる(S₁₆)。割り込みが要因が、キーコード転送以外(S₁₆のNO)のものであれば、割り込み要因に応じたその他の処理を行い(S₁₇)、再び停止モードに入る(S₁₈)。割り込み要因がキーコード転送(S₁₆のYes)によるものならば、キーコードバッファ13Aからキーコードを取り出し(S₁₉)、プログラムを継続して実行する(S₁₅)。

【0035】以上のように、本実施例においては、キー入力待ちの間、メインCPU1を消費電力の極めて少ない停止モードにすることにより、装置全体の平均的な消費電力を低減することができる。

【0036】(ウ) 第3の実施例

次に、第3の実施例の動作について図1および図6を用いて説明する。各装置の動作は第1の実施例と同じである。

【0037】図6は、入出力装置毎の電源オン、オフ制御の動作を示すフローチャートである。コマンドやデー

タの入力処理が行われている状態では(S₁₁)、表示装置9の電源はオンされているが、モード10の電源はオフの状態である。このモード10による通信が必要となると、メインCPU1はサブCPU2に対してモード10の電源オンの要求を出す(S₁₂)。

【0038】サブCPU2は、キー入力監視(S₁₃)、タイマカウント(S₁₄)、電源監視(S₁₅)といった定常処理を繰り返し実行しているが、サブCPU2からモード10の電源オンの要求を受け取ると(S₁₆)、電源制御回路7に対してモード10の電源オンの指示を出す(S₁₇)。

【0039】その後メインCPU1においては、モードの設定を行い(S₁₈)、表示装置9の電源オフ要求を出す(S₁₉)。サブCPU2は、表示装置9の電源オフ要求を受け取ると、電源制御回路7に対して表示装置9の電源オフの指示を出す(S₂₀)。

【0040】メインCPU1が、モード10により通信処理をしている間(S₁₈)、表示装置9の電源はオフされている。通信処理が終了すると、メインCPU1は、表示装置9の電源オン(S₂₁)およびモード10の電源オフ(S₂₂)の各要求を出し、プログラムを継続して実行する(S₂₃)。

【0041】一方、サブCPU2は、メインCPU1からの要求に応じて電源制御回路7に対して表示装置9の電源オン(S₂₄)およびモードの電源オフ(S₂₅)の指示を出す。

【0042】以上のように、本実施例においては、コマンドやデータの入力装置においては、表示装置9の電源をオンしモード10の電源をオフにし、通信時には表示装置9の電源をオフにしモード10の電源をオンにすることにより、消費電力を低減することができる。

【0043】なお、本実施例は、表示装置9とモード10を例にしたが、それ以外にもFDD11や拡張スロット12等の入出力装置を、装置毎に別個に電源をオン、オフできるようにし、動作不要の装置の電源をオフすることにより、消費電力の低減を図ることができる。

【0044】

【発明の効果】以上説明したように本発明の情報処理装置は、高速動作可能なメインCPUと、低速動作、低電圧駆動、低消費電力型のサブCPUを設け、処理に応じて分担CPUを定めてある。即ち、メインCPUは高速が必要となる処理を行わせ、サブCPUは低周期で差支えない処理を行わせることにより、メインCPUの負荷を低減させ、また、キー入力の監視タイマのカウント、電源の監視および制御をサブCPUに行わせることにより、キー入力待ちの間、メインCPUを消費電力の少ない停止モードにし、全体として処理速度を低下させることなく消費電力を低減することができる。また、電源を入出力装置毎にオン、オフすることにより、より一層の消費電力を低減できるようにした。

【0045】このようにして、携帯端末機や携帯型バ

ソナルコンピュータ等の電池駆動型の情報処理装置の処理速度を低下させることなく消費電力を低減するのに大いに有効である。

【図面の簡単な説明】

【図1】本発明の全実施例に共通の構成を示すブロック図である。

【図2】本発明の第1の実施例における電源投入時の動作を示すフローチャートである。

【図3】本発明の第1の実施例におけるプログラム実行時の動作を示すフローチャートである。

【図4】本発明の第1の実施例における電源切断時の動作を示すフローチャートである。

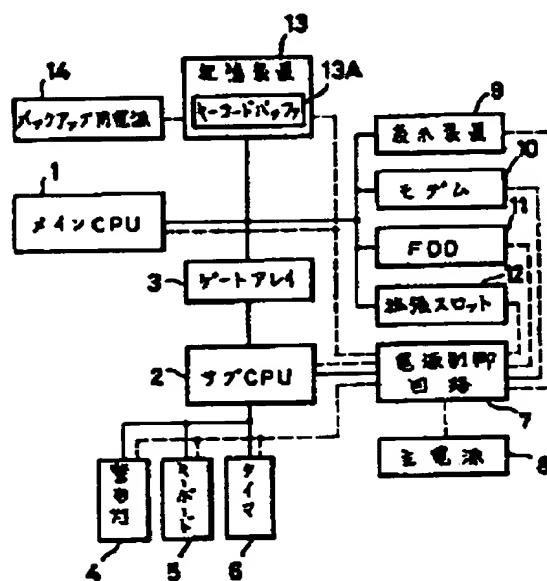
【図5】本発明の第2の実施例の動作を示すフローチャートである。

【図6】本発明の第3の実施例の動作を示すフローチャートである。

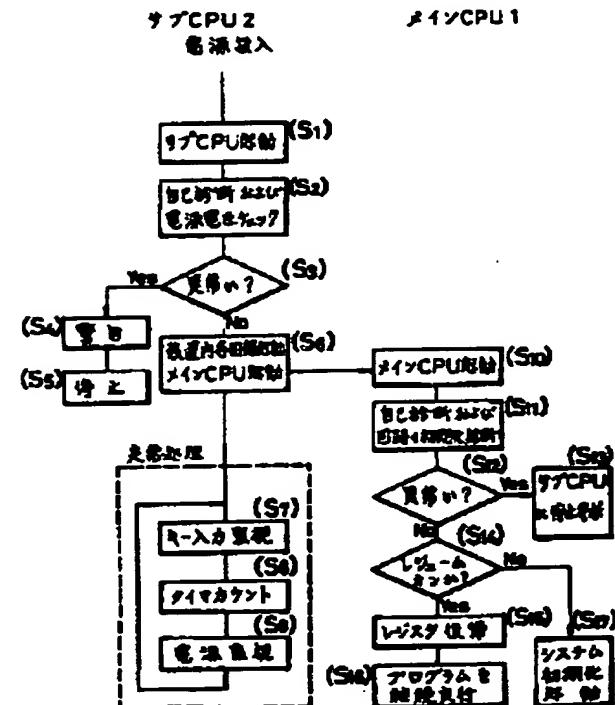
【符号の説明】

1…メインCPU、 2…サブCPU、 3…ゲートアレイ、 4…警告灯、 5…キーボード、 6…タイマ、 7…電源制御回路、 8…主電源、 9…表示装置、 10…モデム、 11…FDD(フロッピーディスクドライブ)、 12…拡張スロット、 13…記憶装置、 13A…コードバッファ、 14…バックアップ用電源。

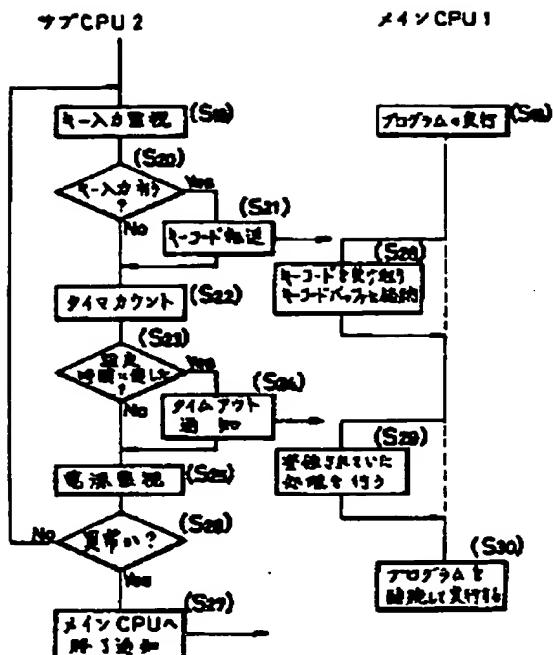
【図1】



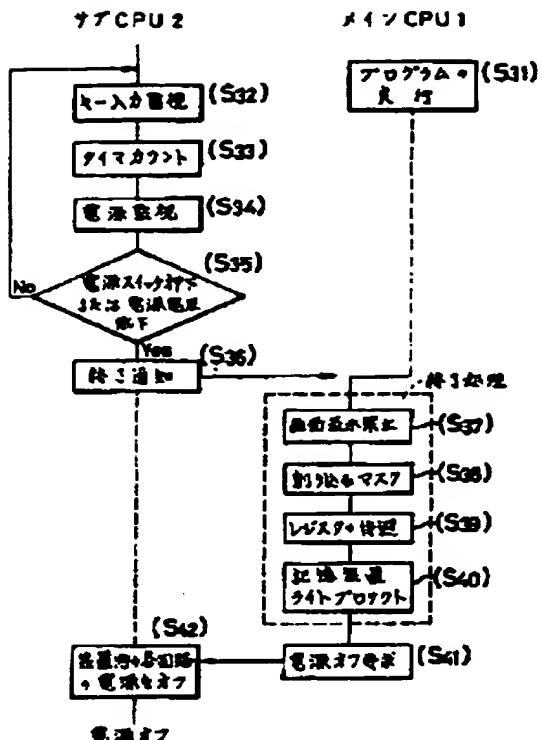
【図2】



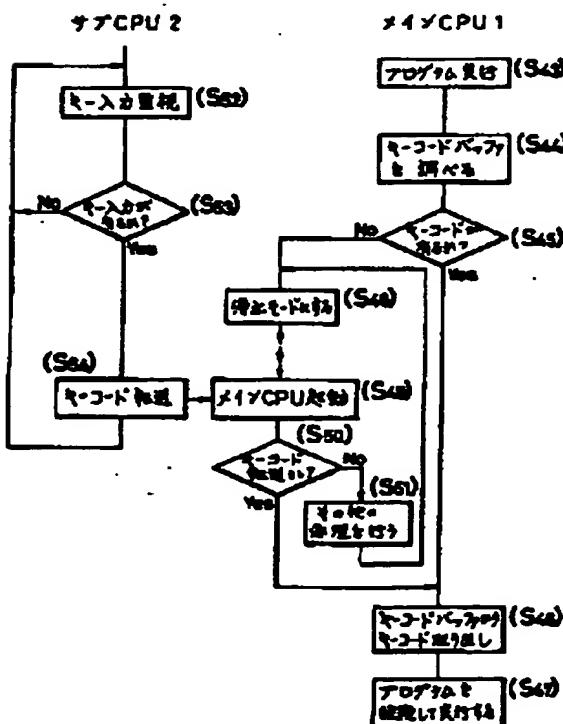
〔図3〕



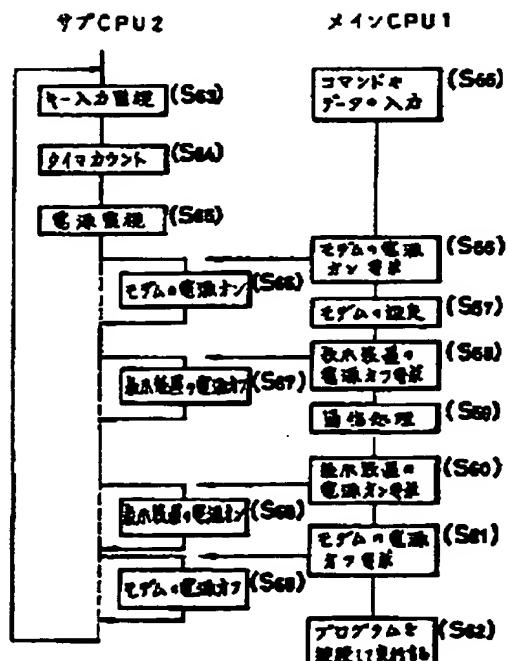
〔図4〕



〔圖5〕



【图6】



フロントページの続き

(51) Int.Cl. 6

G 06 F 15/16

識別記号 庁内整理番号 F I
E 8840-5L

技術表示箇所